

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02010175 A**(43) Date of publication of application: **12.01.90**

(51) Int. Cl. **G01R 31/28**
H01L 21/66
H01L 21/82
H01L 27/04
H01L 27/118

(21) Application number: **63160507**(71) Applicant: **NEC CORP**(22) Date of filing: **28.06.88**(72) Inventor: **ISHIDA TOYONORI**

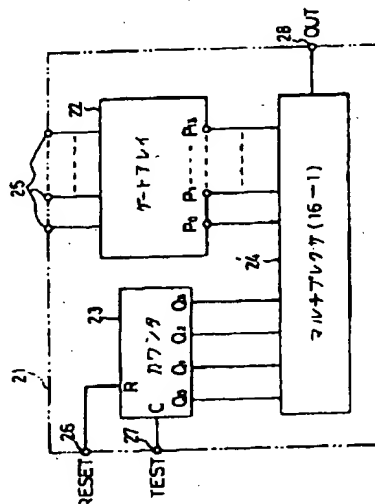
(54) **SEMICONDUCTOR INTEGRATED CIRCUIT
 HAVING TEST TERMINAL**

(57) Abstract:

PURPOSE: To improve the fault detection rate by providing a register for outputting an arbitrary code when a series pulse is inputted to a test external terminal, so that a test point specified by this code can be brought to access from the outside.

CONSTITUTION: An LSI 21 is constituted of a gate array 22, a counter 23, a multiplexer 24, gate array input/output pins 25 being external terminals, a RESET terminal 26, a TEST terminal 27 and an OUT terminal 28. In this state, when a series pulse is inputted to the TEST terminal 27, the counter 23 outputs an arbitrary code to a multiplexer 24. The multiplexer 24 connects a test point of the gate array 22 specified by this code to the OUT terminal 28. In such a way, an access from the outside of many test points can be executed by a small number of test external terminals, and the fault detection rate can be improved.

COPYRIGHT: (C)1990,JPO&Japio



⑩ 日本国特許庁(JP) ⑪ 特許出願公開
⑫ 公開特許公報(A) 平2-10175

⑬ Int. Cl.⁸ 識別記号 庁内整理番号 ⑭ 公開 平成2年(1990)1月12日
G 01 R 31/28
H 01 L 21/86
21/82
27/04
27/118
D 7376-5F
T 7514-5F
6912-2G G 01 R 31/28
8526-5F H 01 L 21/82
8528-5F
V
T
M
審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 テスト端子を持つ半導体集積回路
⑯ 特 願 昭63-160507
⑰ 出 願 昭63(1988)6月28日
⑱ 発 明 者 石 田 量 範 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 藤巻 正憲

明 細 書

1. 発明の名称
テスト端子を持つ半導体集積回路
2. 特許請求の範囲
(1) テスト用外部端子と、このテスト用外部端子への直列パルスの入力に従って任意のコードを出力するレジスタと、このレジスタの出力に基づいて前記コードで特定される集積回路内部のテストポイントに対し外部からのアクセスを可能にする手段とを具備したことを特徴とするテスト端子を持つ半導体集積回路。
3. 発明の詳細な説明
〔産業上の利用分野〕
本発明は、ゲートアレイの故障検出率を高めるため、集積回路の任意のテストポイントに対し外部からのアクセスを可能にしたテスト端子を持つ半導体集積回路に関する。
〔従来の技術〕
従来より、ゲートアレイの故障検出率を向上させるため、集積回路の外部にテスト端子を設ける

と共に、このテスト端子からの信号入力によって集積回路内部の任意のテストポイントに対し外部からのアクセスを可能にした回路が知られている。
第5図はこの種のLSIの一例を示す。LSI 1は、内部にその本来の機能を持つゲートアレイ2と、テスト時にのみ使用されるマルチプレクサ3とを備えている。また、LSI 1は、外部端子として、通常のゲートアレイ入出力ピン4に加え、TEST1端子5、TEST2端子6及びOUT端子7を備えている。
このLSI 1によれば、TEST1端子5及びTEST2端子6に供給する2進コードに基づいてマルチプレクサ3がゲートアレイ2の任意のテストポイントP_i (iは0乃至3のうちの一つ)を選択し、OUT端子7を介して外部に出力する。従って、各テストポイントP₀乃至P₃の状態を外部からの操作によって確認することができ、これによりゲートアレイ2の故障検出率を高めることができる。
また、第6図に示すLSI 11は、外部端子と

特開平 2-10175(2)

して通常のゲートアレイ入出力ピン12の他にTEST1端子13とTEST2端子14とを備え、これらTEST1端子13とTEST2端子14とを介してゲートアレイ15の内部に設けた複数のフリップフロップのリセット端子等のテストポイントX。Xに独立にリセットパルスを提供することができるようになっている。

【発明が解決しようとする課題】

しかしながら、上述した従来のテスト端子付きLSIでは、いずれの場合にも、テストポイントが増え、これに伴って設けるべきテスト端子も増えるという問題点があった。本来、ゲートアレイの入出力ピンは、その本来の機能を外部へ伝達するために存在するものである。従って、内部のテスト用に多数の外部端子を設けるのは好ましくない。

本発明はかかる問題点に鑑みてなされたものであって、少ないテスト用外部端子で多数のテストポイントに対する外部からのアクセスを可能にし、故障検出率を更に一層向上させることができるテ

スト端子を備つ半導体集積回路を提供することを目的とする。

【課題を解決するための手段】

本発明に係る半導体集積回路は、テスト用外部端子と、このテスト用外部端子への直列パルスの入力に従って任意のコードを出力するレジスタと、このレジスタの出力に基づいて前記コードで特定される集積回路内部のテストポイントに対し外部からのアクセスを可能にする手段とを有している。

【作用】

本発明においては、テスト用外部端子に直列パルスを任意の個数だけ入力すると、レジスタがこれに従って任意のコードを出力する。そして、この回路内部に出力されるコードに基づいて所定のテストポイントに対する外部からのアクセスが可能になる。従って、本発明によれば、テストポイントの数はレジスタから出力されるコードのビット数によって決まり、且つ上記コードは外部からの直列パルスの入力により任意の値に設定可能であることから、テスト用外部端子の数は少なくと

- 3 -

- 4 -

も1つあれば足りる。よって、少ないテスト用外部端子で多数のテストポイントに対する外部からのアクセスが可能になる。

【実施例】

以下、本発明の実施例について添付の図面を参照して説明する。

第1図は本発明の実施例に係るLSIを示すブロック図である。LSI21は、内部にその本来の機能を持つゲートアレイ22と、テスト時にのみ使用されるカウンタ23及びマルチプレクサ24とを備えている。また、LSI21は、外部端子として通常のゲートアレイ入出力ピン25に加え、RESET端子26、TEST端子27及びOUT端子28を備えている。RESET端子26はカウンタ23のリセット端子Rに接続されている。なお、このRESET端子26としてゲートアレイ22のリセット端子を共通に用いるようにすれば、外部端子数をより少なくできる。TEST端子27は、カウンタ23のクロック入力端子Cに接続されている。カウンタ23は、4ビッ

トの2進コードQ。乃至Q₃を出力する。このコードQ。乃至Q₃は、マルチプレクサ(16→1)24の選択信号として与えられて、マルチプレクサ24は、コードQ。乃至Q₃によって示されるゲートアレイのテストポイントP_i(i=0乃至15)の状態をOUT端子28を介して外部に出力する。

第2図は、上記LSI21の動作を説明するための入出力波形を示す図である。RESET端子26にRESETパルスが入力されると、カウンタ23の出力Q。乃至Q₃は“0000”になる。TEST端子27に直列パルスが例えば2個入力されると、カウンタ23からはコード“0010”が出力され、これによってマルチプレクサ24は、テストポイントP₂とOUT端子28とを接続する。この結果、図示のようにテストポイントP₂の状態がOUT端子28を介して外部に読出される。続いてTEST端子27に直列パルスが例えば5個入力されると、カウンタ23からはコード“0111”が出力され、これによりマルチプレ

- 5 -

- 6 -

特開平 2-10175(3)

クサ24は、テストポイントP₁とOUT端子28とを接続する。この結果、テストポイントP₁の状態がOUT端子28を介して外部に読出される。

このように、本回路によれば、1つのTEST端子に直列パルスを入力することにより、16個のテストポイントの状態を外部に読出することができる。

第3図は本発明の他の実施例を示す。LSI31は、内部にその本来の機能を持つゲートアレイ32と、テスト時にのみ使用されるカウンタ33及びデコーダ34とを備えている。また、LSI31は、外部端子として通常のゲートアレイ入出力ピン35の他に、RESET端子36、TEST1端子37及びTEST2端子38を備えている。

RESET端子36はカウンタ33のリセット端子Rに接続され、TEST1端子37はカウンタ33のクロック入力端子Cに接続されている。カウンタ33は、4ビットの2進コードQ₀乃至

Q₃を出力する。このコードQ₀乃至Q₃はデコーダ34の入力として与えられている。TEST2端子38は、デコーダ34のイネーブル端子ENに接続されている。デコーダ34は4ビットのコード入力に対し、16の出力端子のうちの1つを“1”にする。このデコーダ34の出力は、例えばゲートアレイ32の内部に設けた複数のフリップフロップ（図示せず）のリセット端子等のテストポイントX₀乃至X₁₅に接続されている。

第4図はこの回路の動作を示す。RESET端子36にRESETパルスが入力されると、カウンタ33の出力Q₀乃至Q₃は“0000”になる。この状態でTEST2端子38にイネーブル信号が与えられると、デコーダ34はテストポイントX₀に“1”を出力する。これにより、X₀にリセット端子が接続されたフリップフロップを独立にリセットすることができる。TEST1端子37に直列パルスが3つ入力されると、カウンタ33の出力は“0011”になる。この状態でTEST2端子38にイネーブル信号が与えられ

- 7 -

- 8 -

ると、デコーダ34はテストポイントX₀に“1”を供給する。これにより、X₀にリセット端子が接続されたフリップフロップを独立にリセットすることができる。更に、TEST1端子37に直列パルスが2つ入力されると、カウンタ33の出力は“0101”となり、テストポイントX₀について同様のアクセスが可能になる。

このように、本回路によれば、2つのテスト端子（TEST1、TEST2端子）に対する外部からの制御によってゲートアレイ32の内部の任意のフリップフロップを独立にリセットすることができる。

なお、本発明は、上述した実施例に限定されるものではない。例えば、上記実施例では内部的なコードを発生させるレジスタとしてカウンタを使用した。出力ビット数が更に増えた場合には、カウンタの代わりにシフトレジスタを使用することにより、シフトレジスタのビット数分の外部からのシフト操作によって、任意の内部コードを容易に設定できる。

- 9 -

【発明の効果】

以上説明したように本発明は、外部からの直列パルスの入力によって任意の内部コードを発生させ、このコードに基づいて外部からアクセス可能なテストポイントを選択するようにしているので、少ないテスト用の外部端子数で多くのテストポイントに対する外部からのアクセスが可能になる。この結果、故障検出率を著しく高めることができる。

4. 図面の簡単な説明

第1図は本発明の実施例に係るLSIのブロック図、第2図はその動作波形図、第3図は本発明の他の実施例に係るLSIのブロック図、第4図はその動作波形図、第5図及び第6図は従来のテスト端子付きLSIを夫々示すブロック図である。

1, 11, 21, 31; LSI、2, 15, 22, 32; ゲートアレイ、3, 24; マルチプレクサ、4, 12, 25, 35; ゲートアレイ入出力ピン、5, 13, 37; TEST1端子、6, 14, 38; TEST2端子、7, 28; OUT

- 10 -

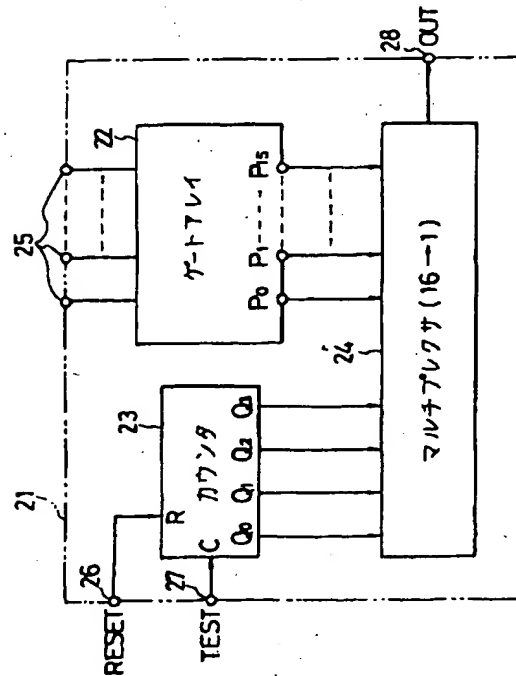
特開平 2-10175(4)

端子、23、33；カウンタ、26、36；RE
SET端子、27；TEST端子、34；デコー
ダ

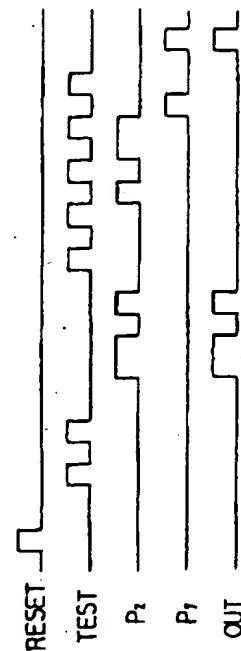
出願人 日本電気株式会社
代理人 弁理士 藤巻正憲

- 11 -

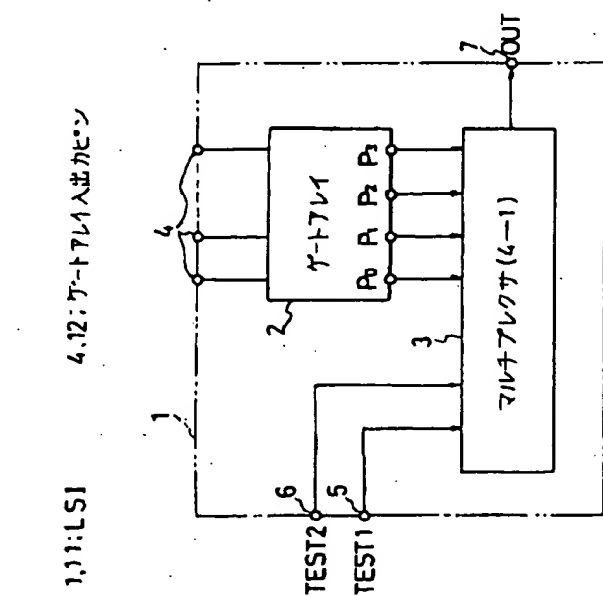
21: LSI
25: ゲートアレイ入力ピン



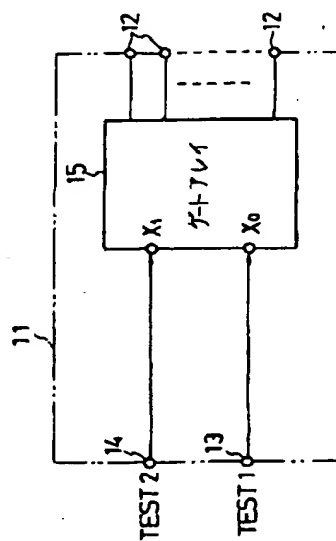
第 1 図



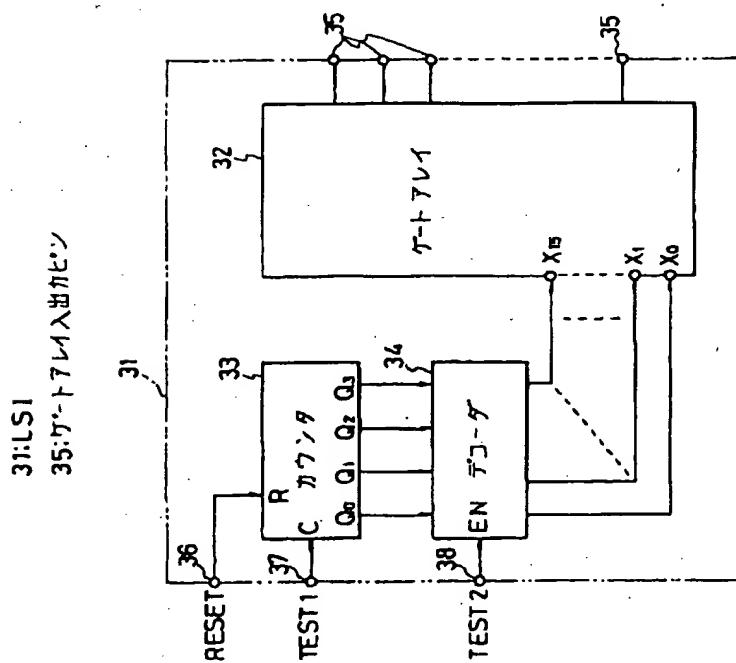
第 2 図



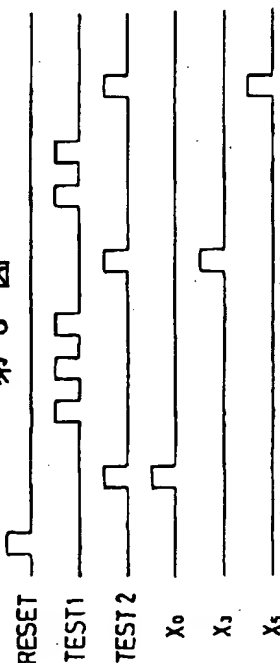
第 5 図



第 6 図



第 3 図



第 4 図